

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-292018

(43) 公開日 平成4年(1992)10月16日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 13/00		7259-5 J		
H 0 4 L 1/00	D	6942-5 K		
1/22		7189-5 K		

審査請求 未請求 請求項の数1(全 5 頁)

(21) 出願番号 特願平3-80410

(22) 出願日 平成3年(1991)3月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 樋口 静男

横浜市港北区新横浜3-9-18 富士通デ

ジタル・テクノロジー株式会社内

(72) 発明者 林 章弘

横浜市港北区新横浜3-9-18 富士通デ

ジタル・テクノロジー株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

(54) 【発明の名称】 可変CRC発生回路

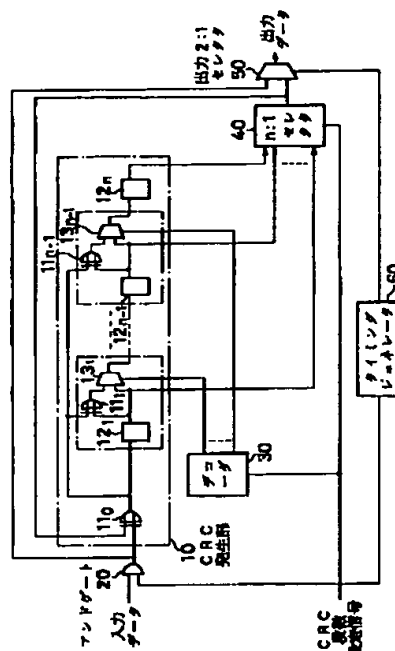
(57) 【要約】

【目的】 サイクリックコード (CRC) を発生するためのCRC発生回路に関し、CRCの段数と生成多項式とを任意に設定可能にすることを目的とする。

【構成】 初段の排他的論理和回路11と、フリップフロップと、その出力と初段の排他的論理和回路の出力とを入力とする排他的論理和回路と、その出力とフリップフロップの出力とを選択する2:1セクタとからなるn-1段の演算回路と、最終段のフリップフロップ12

とを順次縦続接続したCRC発生部10を設け、その出力と入力データとを初段の排他的論理和回路11に入力し、デコーダ30を設けて、CRC発生部10のセクタの選択を設定し、セクタ40を設けて、出力を取り出す最終段のフリップフロップの選択を設定し、入力データをCRC発生部10に加えて、入力データの終了時にセクタ40から出力されるCRCを入力データの最後に付加して出力することによって構成する。

本発明の回路構成を示す図



## 【特許請求の範囲】

【請求項1】 初段の排他的論理和回路(11<sub>0</sub>)と、フリップフロップ(12<sub>1</sub>～12<sub>n-1</sub>)と該フリップフロップ(12<sub>1</sub>～12<sub>n-1</sub>)の出力と前記初段の排他的論理和回路(11<sub>0</sub>)の出力とを入力とする排他的論理和回路(11<sub>1</sub>～11<sub>n-1</sub>)と該排他的論理和回路(11<sub>1</sub>～11<sub>n-1</sub>)の出力と前記フリップフロップ(12<sub>1</sub>～12<sub>n-1</sub>)の出力とを選択する2:1セレクタ(13<sub>1</sub>～13<sub>n-1</sub>)とからなるn-1段の単位演算回路と、最終段のフリップフロップ(12<sub>n</sub>)とを順次縦続に接続してなるCRC発生部(10)と、入力データを該初段の排他的論理和回路(11<sub>0</sub>)に接続するアンドゲート(20)と、CRC段数設定信号に応じてCRC発生部(10)の前記セレクタ(13<sub>1</sub>～13<sub>n-1</sub>)の選択を制御するデコーダ(30)と、CRC段数設定信号に応じて前記各フリップフロップ(12<sub>1</sub>～12<sub>n</sub>)の出力を選択するとともに該選択された出力を前記初段の排他的論理和回路(11<sub>0</sub>)に帰還するn:1セレクタ(40)と、前記アンドゲート(20)の出力とn:1セレクタ(40)の出力とを選択する出力2:1セレクタ(50)と、入力データに応じて前記アンドゲート(20)のオンオフと前記出力2:1セレクタ(50)の選択とを制御するタイミングジェネレータ(60)とを備えたことを特徴とする可変CRC発生回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、ビットエラー監視のために送信データに付加されるサイクリックコード(CRC)を発生するためのCRC発生回路に関し、特にCRCの段数を任意に変化させることができる可変CRC発生回路に関するものである。

【0002】 近年において、データ伝送の分野では高速化、高効率化が指向され、伝送装置における伝送路の収容回線数は増加の一途を辿っている。またこれに伴い、伝送品質の向上が要求されている。このため、伝送装置間におけるデータのアラーム監視やビットエラーの監視が重要になってきている。

【0003】 特に、データ伝送時におけるビットエラーの発生を監視するためには、CRCを送信データに付加し、受信側でこれを用いて受信データにおけるビットエラーを検出する方式が、一般に用いられている。

【0004】 このようなCRCを発生するためのCRC発生用回路は、発生するCRCの段数を任意に変化し得るものであることが要望される。

## 【0005】

【従来の技術】 従来のCRC発生回路は、一般に所要のCRC段数に対応した固定段数の構成を有しており、必要に応じて、その都度、回路構成を行うようにしていた。すなわち、従来のCRC回路は、組み合わせるべき通信装置の要求に合わせて、そのたびに回路を作成しな

ければならなかった。

## 【0006】

【発明が解決しようとする課題】 このように、従来のCRC発生回路においては、それが必要になったとき、所要段数に応じて、その都度回路設計を行って製作しなければならず、時間的無駄を避けられないとともに、装置全体の設計効率を向上する上で妨げになるという問題があった。

【0007】 本発明は、このような従来技術の課題を解決しようとするものであって、CRC発生回路の製作時における時間的無駄を排除し、設計効率を向上するとともに品質を向上することができる、可変CRC発生回路を提供することを目的としている。

## 【0008】

【課題を解決するための手段】 本発明の可変CRC発生回路は、初段の排他的論理和回路と、フリップフロップと、このフリップフロップの出力と初段の排他的論理和回路の出力とを入力とする排他的論理和回路と、この排他的論理和回路の出力とフリップフロップの出力とを選択する2:1セレクタとからなるn-1段の単位演算回路と、最終段のフリップフロップとを順次縦続に接続してなるCRC発生部と、入力データを初段の排他的論理和回路に接続するアンドゲートと、CRC段数設定信号に応じてCRC発生部の各2:1セレクタの選択を制御するデコーダと、CRC段数設定信号に応じて各フリップフロップの出力を選択するとともに、この選択された出力を初段の排他的論理和回路に帰還するn:1セレクタと、アンドゲートの出力とn:1セレクタの出力とを選択する出力2:1セレクタと、入力データに応じてアンドゲートのオンオフと出力2:1セレクタの選択とを制御するタイミングジェネレータとを備えたことを特徴とするものである。

## 【0009】

【作用】 図1は、本発明の原理的構成を示したものである。CRC発生部10は、初段の排他的論理和回路11<sub>0</sub>と、n-1段の単位演算回路と、最終段のフリップフロップ12<sub>n</sub>とを順次縦続に接続して構成されている。各単位演算回路は、フリップフロップと、各段のフリップフロップの出力と初段の排他的論理和回路11<sub>0</sub>の出力とを入力とする各段の排他的論理和回路と、各段の排他的論理和回路の出力と各段のフリップフロップの出力とを選択して出力する各段の2:1セレクタとからなっている。デコーダ30は、CRC段数設定信号に応じてCRC発生部10の各段のセレクタの選択を制御する。n:1セレクタ40は、CRC段数設定信号に応じて指定された段数に対応するフリップフロップから出力を取り出すとともに、この出力を初段の排他的論理和回路11<sub>0</sub>に帰還する。

【0010】 各段の2:1セレクタは、CRC段数設定信号に応じて切り替えられて、前段のフリップフロップ

の出力をそのまま出力するか、または初段の排他的論理和回路11。の出力と排他的論理和の演算を行って出力するかを選択されることによって、CRC発生部10は指定されたCRC生成多項式に従ってCRCを発生して、n:1セクタ40から出力する。そして、タイミングジェネレータ60の制御に応じて、入力データをアンドゲート20を経て入力し、出力2:1セクタ50を経て出力するとともに、入力データを初段の排他的論理和回路11。に加えて、CRC発生部10において所要の演算を行い、入力データが終了したとき、出力2:1セクタ50を切り替えて、n:1セクタ40を経て発生したCRCを取り出して、入力データと多重して出力する。

【0011】従って本発明によれば、入力データに応じてCRCを発生する際に、外部からの信号に応じて、その段数と、CRCを発生するための生成多項式とを任意に設定することができる。

【0012】

【実施例】図2は、本発明の一実施例の構成を示したものであって、最大8段までのCRCを発生できるCRC発生回路を例示している。10はCRC発生部を示し、11。～117は8個の排他的論理和（EX-OR）回路、12。～12。はEX-OR回路と同数のフリップフロップ、13。～137は2段目以降のEX-OR回路とフリップフロップの間に挿入された7個の2-1セクタである。20はアンドゲートである。30は、CRC段数設定信号をデコードするデコーダである。40はフリップフロップ12。～12。の出力を選択する8:1セクタである。50はアンドゲート20の出力と8:1セクタ40の出力とを選択する2:1セクタである。60は、この際のCRC発生のタイミングを制御するタイミングジェネレータである。また、70はセクタ50の出力をラッチするフリップフロップである。

【0013】図2の回路においては、8次までの生成多項式に対応可能なように、初段のEX-OR回路11。と、フリップフロップとEX-OR回路と2:1セクタ\*

$$P(X) = X^8 + X^4 + X^3 + 1$$

であったときは、図2に示されるように、2-1セクタ13。、137が“1”側に切り替えられ、2-1セクタ13。、137が“0”側に切り替えられるとともに、6段目のフリップフロップ12。の出力fが8:1セクタ40を経て出力pに接続されることによって、生成多項式(1)に対応する演算結果の出力が8:1セクタ40から出力される状態となる。

【0016】初期状態において、各フリップフロップ12。～12。はリセット信号によって出力“0”の状態にリセットされる。タイミングジェネレータ60は、はじめアンドゲート20を開くとともに、2:1セクタ

\*タとからなる単位回路を7組と、最終段のフリップフロップ12。とを有している。2段目以降の単位回路の2:1セクタは、前段のフリップフロップの出力を直接入力するかまたはEX-OR回路を経て入力するかの切り替えを行う。2段目以降のEX-OR回路には、それぞれの前段のフリップフロップの出力と、初段のEX-OR回路11。の出力とが入力される。初段のEX-OR回路11。には、アンドゲート20の出力と8:1セクタ40からのCRC演算結果の出力とが入力され、アンドゲート20には、入力データとCRC発生のタイミングを定めるタイミングジェネレータ60の出力とが入力される。デコーダ30はCRC段数設定信号に応じて各段のセクタ13。～137を、例えば設定信号が“0”のときは直接、それぞれの前段のフリップフロップの出力を選択し、“1”のときはEX-OR回路を介して、前段のフリップフロップの出力を選択するように設定する。また8:1セクタ40は、CRC段数設定信号に応じて、フリップフロップ12。～12。の出力a～hのうち、所望の生成多項式に対応する最終段のフリップフロップの出力を選択する。2:1セクタ50は、タイミングジェネレータ60の出力に応じて、アンドゲート20の出力と、8:1セクタ40の出力とを選択して出力する。さらにフリップフロップ70は、クロックに応じて2:1セクタ50の出力をラッチすることによって、CRCが付加された出力データを発生する。

【0014】デコーダ30は、CRC段数設定信号に応じてセレクト信号を発生することによって、セクタ13。～137をCRCの生成多項式に対応して切り替えて、所望の段数のCRCを発生する回路状態に設定する。また8:1セクタ40は、CRC段数設定信号に応じて切り替えられて、フリップフロップ12。～12。のうち、所望の段数のCRCを発生する最終段のフリップフロップの出力を選択する。

【0015】例えば6段のCRCであって、生成多項式が

$$\dots(1)$$

50を制御してアンドゲート20の出力を選択させる。この状態では、入力データがアンドゲート20、2:1セクタ50を経て出力され、フリップフロップ70で波形整形されて出力される。

【0017】入力データはアンドゲート20を経て初段のEX-OR回路11。にも入力される。EX-OR回路11。は、入力データと8:1セクタ40からのCRC演算結果の出力pとの排他的論理和の演算を行って出力を発生し、その出力はクロックに応じてフリップフロップ12。にラッチされるとともに、この出力は、各EX-OR回路11。～117のそれぞれの一方の入力

5

に加えられる。2:1セクタ13<sub>1</sub>、13<sub>2</sub>は“0”側に設定されているので、フリップフロップ12<sub>1</sub>の出力aは、クロックに応じて順次、フリップフロップ12<sub>2</sub>、12<sub>3</sub>にセットされて、出力b、cを生じる。セクタ13<sub>1</sub>、13<sub>2</sub>は“1”側に設定されているので、フリップフロップ12<sub>3</sub>の出力cは、EX-OR回路11<sub>3</sub>においてEX-OR回路11<sub>1</sub>の出力と排他的論理和の演算を行われたのち、クロックに応じてフリップフロップ12<sub>4</sub>にセットされる。さらにフリップフロップ12<sub>4</sub>の出力dは、EX-OR回路11<sub>4</sub>においてEX-OR回路11<sub>1</sub>の出力と排他的論理和の演算を行われたのち、クロックに応じてフリップフロップ12<sub>5</sub>にセットされる。次のセクタ13<sub>3</sub>は“0”側に設定されているので、フリップフロップ12<sub>5</sub>の出力eは、クロックに応じて、次段のフリップフロップ12<sub>6</sub>にセットされる。8:1セクタ40は、フリップフロップ12<sub>6</sub>の出力fを選択して、出力pを生じる。このような演算が入力データに応じて、連続して行われている。

【0018】入力データが終了したとき、タイミングジェネレータ60は、アンドゲート20を閉じるとともに、2:1セクタ50を8:1セクタ40側に切り替える。これによってCRC演算部10において演算されていたCRCが、フリップフロップ12<sub>6</sub>から8:1セクタ40および2:1セクタ50を経て出力され、フリップフロップ70によって波形整形されて出力されることによって、入力データの最後に所望の6段のCRCが付加される。

6

【0019】

【発明の効果】以上説明したように本発明の可変CRC発生回路によれば、CRC段数設定信号を入力することによって、CRCの発生段数とCRC発生のための生成多項式とに応じて、任意に回路状態を設定してCRCの発生を行うことができるので、従来のようにCRC発生回路が必要になったとき、その都度回路を考えて製作する必要がなく、時間的無駄を省いて、設計効率を向上させることができるとともに、装置の標準化によって、品質の向上を図ることができるようになる。本発明は、データ伝送の分野に限らず、データを扱う際に一般的に使用することが可能であり、従って広い分野において、伝送信号の品質向上に寄与することができるようになる。

【図面の簡単な説明】

【図1】本発明の原理的構成を示す図である。

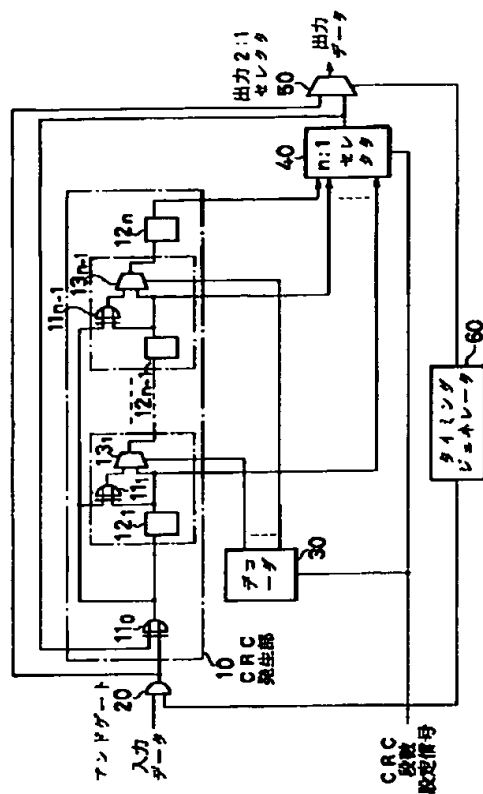
【図2】本発明の一実施例の構成を示す図である。

【符号の説明】

- 10 CRC発生部
- 11<sub>1</sub> ~ 11<sub>n</sub> 排他的論理和回路
- 12<sub>1</sub> ~ 12<sub>n</sub> フリップフロップ
- 13<sub>1</sub> ~ 13<sub>n</sub> 2:1セクタ
- 20 アンドゲート
- 30 デコーダ
- 40 n:1セクタ
- 50 出力2:1セクタ
- 60 タイミングジェネレータ

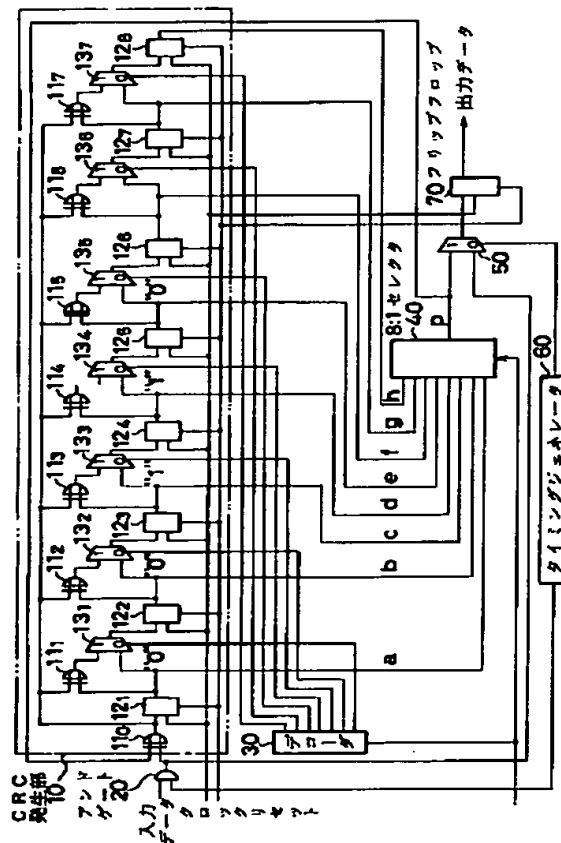
【図1】

本発明の原理的構成を示す図



【図2】

本発明の一実施例の構成を示す図



PAT-NO: JP404292018A

DOCUMENT-IDENTIFIER: JP 04292018 A

TITLE: VARIABLE CRC GENERATION CIRCUIT

PUBN-DATE: October 16, 1992

INVENTOR-INFORMATION:

NAME

HIGUCHI, SHIZUO

HAYASHI, AKIHIRO

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP03080410

APPL-DATE: March 20, 1991

INT-CL (IPC): H03M013/00, H04L001/00 , H04L001/22

US-CL-CURRENT: 714/758

ABSTRACT:

PURPOSE: To optionally set the number of the stages of a CRC and a generated polynominal.

CONSTITUTION: A CRC generating part 10 in which the arithmetic circuit of (n-1)-stages consisting of the exclusive logical sum circuit 11<SB>0</SB> of a first stage, a flip flop, the exclusive logical sum circuit whose input is the output of the flip flop and the output of the exclusive logical sum circuit of the first stage, and a 2:1 selector to select the output of said exclusive logical sum circuit and the output of the flip flop, and the flip flop 12<SB>n</SB> of a final stage are cascade- connected successively is provided. Then, its output and the input data are inputted to the exclusive logical sum circuit 11<SB>0</SB>, and a decoder 30 is provided so that the selection of the selector of the CRC generating part 10 is set, and the selector 40 is provided so that the selection of the flip flop of the final stage from which the output is taken out is set, and the input data is supplied to the CRC generating part 10, and the CRC outputted from the selector 40 at the time of the end of the input data is added to the rear of the input data, and is outputted.

COPYRIGHT: (C)1992,JPO&Japio